

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-120837

(43)Date of publication of application : 28.04.1994

(51)Int.Cl.

H03M 3/02
H03H 19/00

(21)Application number : 04-263542

(71)Applicant : ASAHI KASEI MICRO SYST KK

(22)Date of filing : 01.10.1992

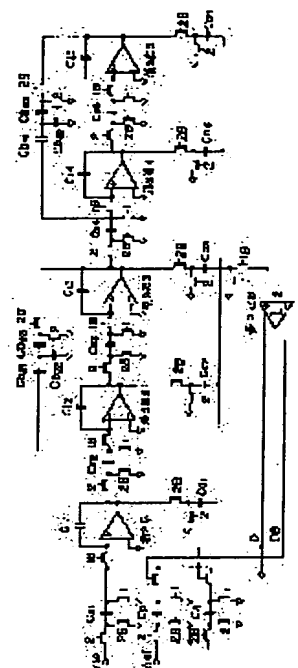
(72)Inventor : FUJIMORI ICHIRO

(54) DELTA SIGMA MODULATOR

(57)Abstract:

PURPOSE: To produce the small capacities equivalently and to reduce the gain of a feedback stage by connecting three electrostatic capacities in a T-shape to prescribe the gain of a feedback part with regard to a delta sigma modulator consisting of a switched capacitor circuit.

CONSTITUTION: A 5-stage delta sigma modulator consisting of a switched capacitor circuit has two feedback paths led to the input of an integrator 2 from the output of an integrator 3 and to the input of an integrator 4 from the output of an integrator 5 respectively. The capacities Cb21, Cb22 and Cb23 of the feedback path to the integrator 2 from the integrator 3 are connected together in a T-shape with its feedback gain set at 1/32. meanwhile the capacities Cb41, Cb42 and Cb43 of the feedback path to the integrator 4 from the integrator 5 are connected together in a T-shape with its feedback gain set at 3/16 respectively.



LEGAL STATUS

[Date of request for examination] 26.08.1996

[Date of sending the examiner's decision of rejection] 05.11.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-120837

(43)公開日 平成6年(1994)4月28日

(51) Int. Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 3 M 3/02

8522-5 J

H 0 3 H 19/00

7037-5 J

審査請求 未請求 請求項の数 1 (全 9 頁)

(21)出題番号

特願平4-263542

(22)出願日

平成4年(1992)10月1日

(71)出題人 000116839

旭化成マイクロシステム株式会社

東京都渋谷区代々木1丁目24番10号

(72)発明者 藤森 一郎

神奈川県厚木市栄町1丁目1番3号 旭化

成マイクロシステム株式会社内

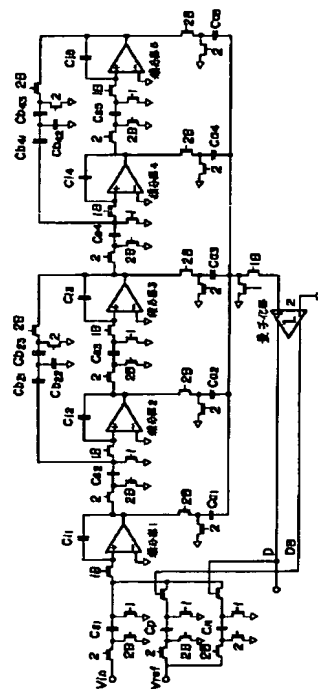
(74)代理人 弁理士 谷 義一

(54)【発明の名称】 デルタシグマ変調器

(57) 【要約】

【構成】 積分器3の出力から積分器2の入力へ、そして積分器5の出力から積分器4の入力へ至る2つのローカルフィードバックが存在する。すなわち、量子化ノイズシェイプ中に複素共役根のゼロ点を2組有する。それぞれのローカルフィードバック中のフィードバック容量は、容量3つのT型接続によって構成される。この回路では、積分器3の出力から積分器2の入力へのフィードバックゲイン b_1 は $1/32$ である。

【効果】 ベースバンド内の量子化ノイズを減少させることを目的とした量子化ノイズシェイプ中のゼロ点を、精度よく、使用プロセスの最小寸法を考慮する必要なしに、制御することができる。



【特許請求の範囲】

【請求項1】 スイッチトキャパシタ回路を用いて構成されたデルタシグマ変調器において、
2次以上のループフィルタを有すると共に、該ループフィルタ中にはフィードバック部を備え、
前記フィードバック部のゲインを規定する静電容量として、3個の静電容量をT型接続としたことを特徴とするデルタシグマ変調器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デルタシグマ変調器（以下、 $\Delta\Sigma$ 変調器という）に関し、さらに詳しくはスイッチトキャパシタ回路を用いて構成される $\Delta\Sigma$ 変調器に関するものである。

【0002】

【従来の技術】従来から知られているとおり、 $\Delta\Sigma$ 変調器においてベースバンド内の量子化ノイズを減らすためのノイズシェイピングは、縦続接続される積分器の次数を多くするほど効果がある。特に、2次以上の $\Delta\Sigma$ 変調器では、ベースバンド中の量子化ノイズをさらに減らすために、量子化ノイズシェイプ中にdc以外の周波数にゼロ点を作ることができる。このようなゼロ点は、縦続接続されている積分器の内2つ以上を含みかつ量子化器を介することのないフィードバック系（いわゆるローカルフィードバック）を付加することによって作られる。

【0003】図3は、このような4次 $\Delta\Sigma$ 変調器における離散値系（Z領域）での動作をブロック図に示したものである。本図では、4つの積分器1～4が縦続に接続されており、それぞれの積分器の減衰量は $k_1 \sim k_4$ で*

*ある。そして、それぞれの積分器1～4から加算器5へフィードフォワード段6～9があり、各ゲインは $a_1 \sim a_4$ である。それぞれのフィードフォワード段は遅延 Z^{-1} を有する。これらのフィードフォワード段は、個々の次数のループのゲイン（すなわち時定数）を独立に制御するためのものである。このゲインは、ループ内で縦続接続されている積分器の減衰量とフィードフォワード段のゲインとの積で決まる。

【0004】加算器5の出力は量子化器10へ入力され量子化される。ここで量子化器10は、ゲイン a_0 のゲイン段11、量子化ノイズQZの加算段12、および遅延段（ Z^{-1} ）13でモデル化されている。量子化器10の出力は $\Delta\Sigma$ 変調器の入力から減算され、これにより $\Delta\Sigma$ 変調器全体で負帰還ループを構成している。

【0005】積分器4の出力からのフィードバックゲイン段 b_1 を通して積分器3の入力から減算する負帰還ループ（すなわちローカルフィードバック17）が存在する。このローカルフィードバック17は、量子化ノイズシェイプ中にdc以外にゼロ点をつくるためのものである。このフィードバック段は遅延（ Z^{-1} ）16を有する。

【0006】次に、図3に示した4次 $\Delta\Sigma$ 変調器のゼロ点周波数を求める過程について説明する。

【0007】図3における $\Delta\Sigma$ 変調器のループフィルタ部をブロックH（Z）と置き替えると、図4に示すようになる。この時、ループフィルタH（Z）の伝達関数は、

【0008】

【数1】

$$H(Z) = \frac{a_1(z-1)^3 + a_2'(z-1)^2 + a_3'(z-1) + a_4' + a_1b'z(z-1) + a_2'b'z}{(z-1)^3 + b'z(z-1)}$$

$$\cdot \frac{1}{k_1(1-Z^{-1})}$$

…(1)

ここで、

$$a_2' = \frac{a_2}{k_2}$$

$$a_3' = \frac{a_3}{k_2 k_3}$$

$$a_4' = \frac{a_4}{k_2 k_3 k_4}$$

$$b' = \frac{b_1}{k_3 k_4}$$

【0009】この $H(Z)$ を用いて変調器全体の伝達関数*【0010】
 数を求め、さらに Z 領域の式を s 領域に変換すると、*【数2】

$$Y(ST) = X(ST) + \left(\frac{(ST)^2 [(ST)^2 + b']}{a_0(a_2' b' + a_4')} \right) \cdot Q(ST) \quad \dots (2)$$

(近似) $Z = e^{sT}$ で $ST \ll 1$ より (T はサンプリング周期)

$$Z \approx 1$$

$$Z-1 \approx ST$$

【0011】で与えられる。

※口点は

【0012】ここで、上式(2)中の大カッコ【】

【0014】

は、量子化ノイズの伝達関数を表わしている。

【数3】

【0013】上述した量子化ノイズの伝達関数より、ゼ※

$$(ST)^2 [(ST)^2 + b'] = 0$$

…(3)

【0015】で与えられる。これにより、

★【数4】

【0016】

★

$$S(Z_1) = 0$$

$$S(Z_2) = 0$$

$$S(Z_3, Z_4) = \pm j \sqrt{b'} / T$$

…(4)

【0017】ゼロ点はDCに2つ、そして共役複素根が1組存在する。

☆【0019】 $1/T$ を f_s とすると、

【0018】(4)式より共役複素根によるゼロ点の周波数 $f(z)$ を求めると、次のとおりとなる。 ☆

【0020】

【数5】

$$f(z) = \frac{1}{2\pi} \sqrt{b'} \cdot f_s$$

$$= \frac{1}{2\pi} \sqrt{\frac{b_1}{k_3 \cdot k_4}} \cdot f_s$$

…(5)

【0021】以上の計算の結果、dc以外に複素共役根のゼロ点が1組存在し、その周波数は式(5)で与えられる。

【0022】CMOSのLSIでは、このような $\Delta\Sigma$ 変調器はスイッチトキャパシタ回路で構成される。図3のブロック図をスイッチトキャパシタ回路化したものを図5に示す。

【0023】図6は図5に示した4次 $\Delta\Sigma$ 変調器の動作を示すタイミング図である。

【0024】このようなスイッチトキャパシタ回路で構成した場合、積分器の減衰量は積分容量とサンプリング容量の比で決まる。例えば積分器3の場合、 $k_3 = C_{i3} / C_{s3}$ である。また、ローカルフィードバックのゲイン b_1 は、フィードバック容量 C_{s3} と C_{s4} の比 C_{s3} / C_{s4} で決まる。

【0025】

【発明が解決しようとする課題】このような $\Delta\Sigma$ 変調器では、サンプリング周波数とベースバンド周波数の比が大きい場合、ベースバンド内にゼロ点を作るためには式(5)の b' は小さくなくてはならない。この b' を小さくするためには、積分器の減衰量 k_3 、 k_4 を大きくするか、フィードバック段のゲイン b_1 を小さくすることが考えられる。

【0026】いま、図5において C_{s3} と C_{s4} のサンプリング容量が、積分器のアナログノイズまたは精度が律束で決まるある単位容量に固定されるとして、 b' を小さくする方法を考える。

【0027】まず k_3 、 k_4 を大きくするということは C_{i3} 、 C_{i4} を大きくすることになり、積分器の占有面積が大きくなり、また積分容量とシリコン基板間の寄生容量が大きくなるので演算増幅器の負荷が増える。さら

50 に、積分器3、4の減衰量は $\Delta\Sigma$ 変調器内の3次以上ル

ープのゲインを制御することにより、 $\Delta\Sigma$ 変調器の安定性に関係しているのでゼロ点の都合だけで決めることはできない。

【0028】フィードバック段のゲイン b_1 を小さくするためには、フィードバック容量 C_{b1} を C_{s1} に比べて十分小さくしなければならない。スイッチトキャパシタ回路では、ゲインは容量比で決まる。またCMOSプロセスでは、容量比はプロセスのランダム誤差の影響を受ける。このランダム誤差の影響は容量の面積が大きい程受けにくい。

【0029】よって、 C_{b1} の値を小さくすることはゲイン b_1 の精度を落とすことになる。また、使用するLSIプロセスで決まる最小寸法以下の容量は作ることができないので、精度を犠牲にしたとしても可能な容量比には限界がある。

【0030】逆に、ゲイン b_1 の精度を落とさないために C_{b1} を単位容量に固定すると、 b_1 および k_1 を維持するために C_{s1} と C_{i1} も大きくなるので、面積の増加および演算増加器の負荷増大を招くことになる。

【0031】このように、従来の技術では回路面積や演算増幅器の負荷を増大させるか、あるいは、フィードバックゲイン精度を犠牲にしてゼロ点を制御していたという欠点がある。また、 $\Delta\Sigma$ 変調器の安定性のみで積分値の減衰量を決める自由度がないという欠点もみられた。

【0032】よって本発明の目的は、上記従来の欠点を除去した $\Delta\Sigma$ 変調器を提供することにある。

【0033】

【課題を解決するための手段】本発明は、スイッチトキャパシタ回路を用いて構成されたデルタシグマ変調器において、2次以上のループフィルタを有すると共に、該

$$f_u = \frac{1}{2\pi} \cdot \frac{C_1}{C_2} \cdot f_s \quad \dots (6)$$

【0040】で与えられる。

【0041】また時定数は、

$$\tau = \frac{1}{2\pi f_u} \quad \dots (7)$$

【0043】で与えられる。

【0044】図8は、静電容量のT型接続を用いたスイッチトキャパシタ積分器を示す。

$$f_u = \frac{1}{2\pi} \cdot \frac{C_1 \cdot C_3}{C_1 + C_3 + C_4} \cdot \frac{1}{C_2} \cdot f_s \quad \dots (8)$$

【0047】上式で C_1 、 C_3 の静電容量を1とし、 C_2 の静電容量を8とすると、

$$\frac{C_1 \cdot C_3}{C_1 + C_3 + C_4} = \frac{1}{10} \quad \dots (9)$$

【0049】となり、等価的に1/10の静電容量が得られることになる。

*ループフィルタ中にはフィードバック部を備え、前記フィードバック部のゲインを規定する静電容量として、3個の静電容量をT型接続としたものである。

【0034】

【作用】本発明の上記構成によれば、2次状のループフィルタを有する $\Delta\Sigma$ 変調器において、量子化ノイズシェイプ中にdc以外にゼロ点を作ることとを目的として、ループフィルタ中にフィードバックが存在し、なおかつ $\Delta\Sigma$ 変調器がスイッチトキャパシタ回路により構成される場合に、前記フィードバックのゲインを制御する容量を、3つの容量をT型に接続することにより実現している。

【0035】このように3つの容量をT型に接続することにより、等価的に小さい容量を作ることができる。これにより、フィードバック段のゲインを十分小さくするような大きな容量比を精度を落とさずに実現できる。

【0036】

【実施例】本発明の実施例による $\Delta\Sigma$ 変調器では、以下に詳述するように、3つの容量をT型に接続することにより、等価的に小さい容量を作ることができる。これにより、フィードバック段のゲインを十分小さくするような大きな容量比を精度を落とさずに実現できる。

【0037】まず、図7および図8を参照して、その理由について説明する。

【0038】図7は、一般的なスイッチトキャパシタ積分器を示す。積分器におけるユニットゲインの周波数 f_u は、サンプリング周波数を f_s とすると、

【0039】

【数6】

※【0042】

※【数7】

★【0045】この積分では、

40 【0046】

★【数8】

☆【0048】

☆【数9】

50 られることになる。

【0050】図8に示したC₁の容量は、フィードバック容量を等価的に小さくするためには、フィードバックゲインに反比例して大きくなる。すなわちC₁の増大によりフィードバック容量が占める面積が大きくなる。

【0051】しかし、ΔΣ変調器の場合一般的に積分器の減衰量は1以上であるので、フィードバック容量を単位容量に固定して精度を保とうとする場合に、サンプリング容量を大きくする割合より積分容量はさらに大きくなるので、上述した本発明の手法が面積的には得である。また、積分器に使われる演算増幅器のセトリング負荷は、サンプリング容量が単位容量に固定でフィードバック容量がT字接続により等価的に小さくなる方が軽くなる。

【0052】図1は本発明を適用したΔΣ変調器の一実施例、図2は同実施例の動作を示すタイミング図であ

＊る。

【0053】図1に示した実施例は、スイッチトキャパシタ回路で構成された5次のΔΣ変調器である。ここでは、積分器3の出力から積分器2の入力へ、そして積分器5の出力から積分器4の入力へ至る2つのローカルフィードバックが存在する。すなわち、量子化ノイズシェイプ中に複素共役根のゼロ点を2組有する。

【0054】それぞれのローカルフィードバック中のフィードバック容量は、容量3つのT型接続によって構成される。この回路では、積分器3の出力から積分器2の入力へのフィードバックゲインb₁は1/32であり、次式で与えられる。

【0055】

【数10】

$$b_1 = C_{b21} \cdot \frac{C_{b23}}{(C_{b21} + C_{b22} + C_{b23})} \cdot \frac{1}{C_{s2}} \\ = \frac{1}{32} \quad \dots (10)$$

【0056】ここで、サンプリング容量C_{s2}はアナログノイズ律束で決まる容量を使っている。そして、C_{s2}の1/32は使用プロセスの最小寸法より小さくなり実現不可能なので、T型接続の手法を採用した。

【0057】積分器5の出力から積分器4の入力へのフ

＊ィードバックゲインb₂は3/16であり、次式で与えられる。

【0058】

【数11】

$$b_2 = C_{b41} \cdot \frac{C_{b43}}{(C_{b41} + C_{b42} + C_{b43})} \cdot \frac{1}{C_{s4}} \\ = \frac{3}{16} \quad \dots (11)$$

【0059】図1に示した回路では、積分器4の減衰量は16と大きい。よって回路面積を大きくしないために、ここではサンプリング容量C_{s4}は積分器減衰量の精度律束で決まる最小容量になっている。そこでC_{s4}の容量を変えずに精度の良いフィードバックゲインb₂を実現するために、ここではT型接続の手法を採用した。

【0060】もし、ここでb₂の精度を上げるためにT型接続ではなく、従来の手法でフィードバック容量を大きくしたとすると、C_{s4}はその16/3倍になり、積分容量C_{s4}はさらにその16倍になるので、回路面積および演算増幅器の負荷の増大は著しい。

【0061】このようにC_{b21}、C_{b22}、C_{b23}そしてC_{b41}、C_{b42}、C_{b43}の容量を選ぶことにより、C_{s2}、C_{s4}の容量を変えずに、また、積分器2から5の減衰量の自由度を維持しながら、2組のゼロ点を制御することができる。

【0062】なお、図1に示されている各スイッチキャ

ッチを用いているが、他の開閉手段に置き替え得ることは勿論である。

【0063】

【発明の効果】以上説明したとおり本発明によれば、ベースバンド内の量子化ノイズを減少させることを目的とした量子化ノイズシェイプ中のゼロ点を、精度よく、使用プロセスの最小寸法を考慮する必要なしに、制御することができる。また、回路の面積縮小および演算増幅器の負荷軽減に関しても、従来の方法に比べて有利である。さらに、ループ内の積分器の減衰量に影響されことなく、ゼロ点を制御できる自由度が得られる。

【図面の簡単な説明】

【図1】本発明の一実施例による5次のΔΣ変調器を示す回路図である。

【図2】図1に示した回路の動作を示すタイミング図である。

【図3】一般に知られている4次のΔΣ変調器を示すブロック図である。

【図4】図3のループフィルタ部をブロックH(Z)で置き替えた図である。

【図5】図3のブロック図をスイッチトキャパシタ回路化した図である。

【図6】図5の動作を示すタイミング図である。

【図7】一般的なスイッチトキャパシタ積分器を示す図である。

*【図8】本発明の原理を説明するためのスイッチトキャパシタ積分器を示した図である。

【符号の説明】

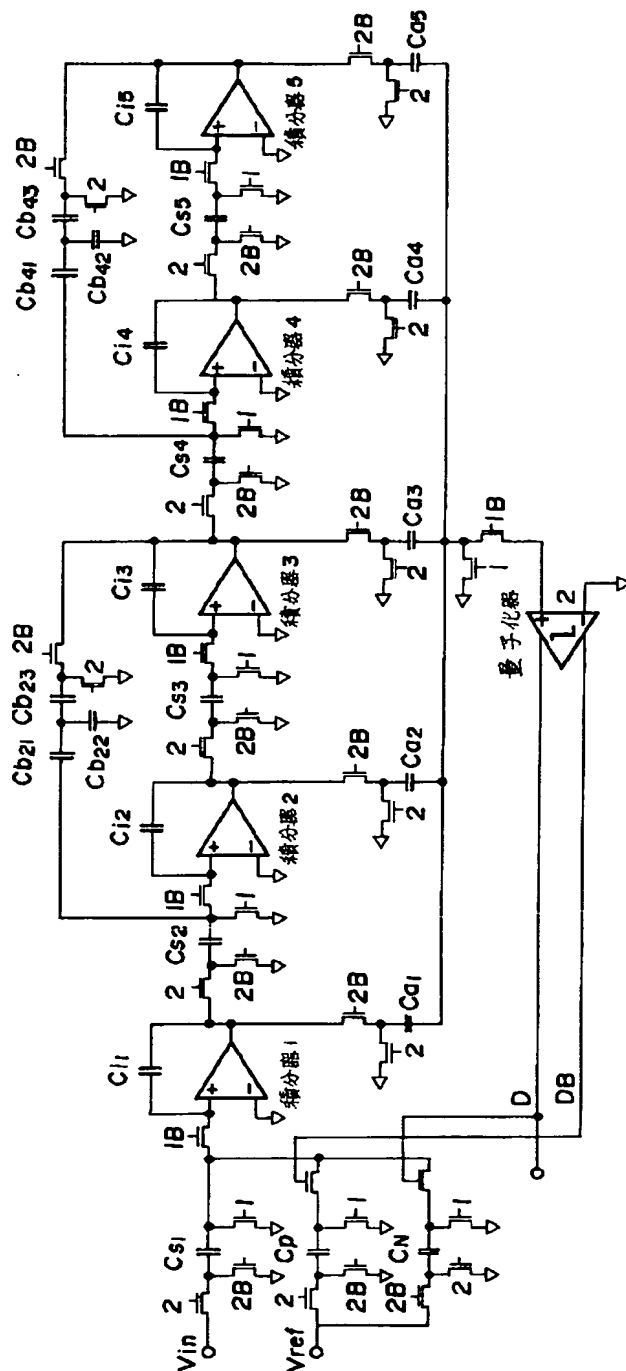
a_0 コンパレータゲイン

$k_1 \sim k_4$ 積分器減衰量

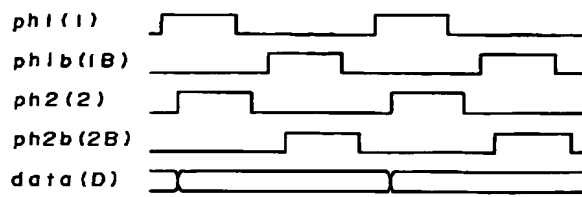
$a_1 \sim a_4$ フィードバックフォワードゲイン

b_1 フィードバックゲイン

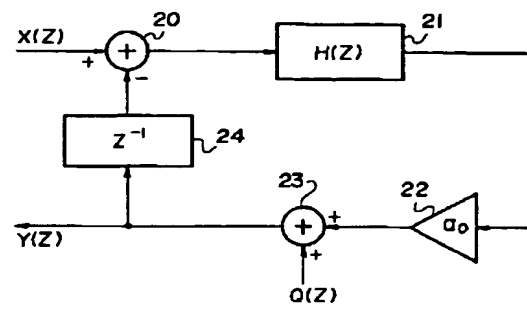
【図1】



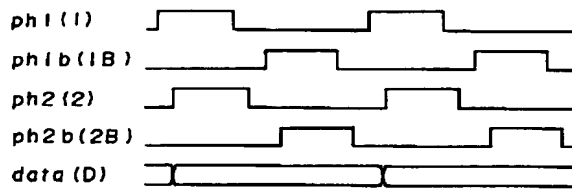
【図2】



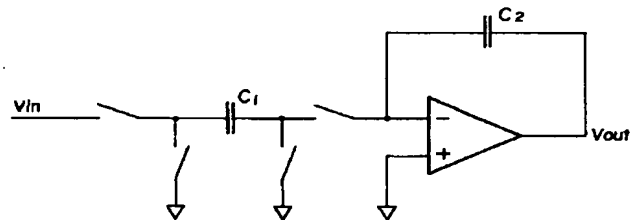
【図4】



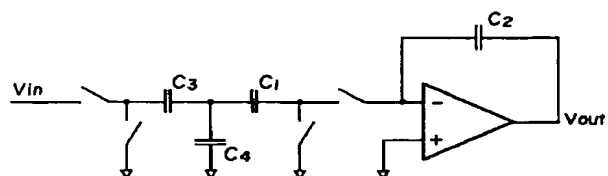
【図6】



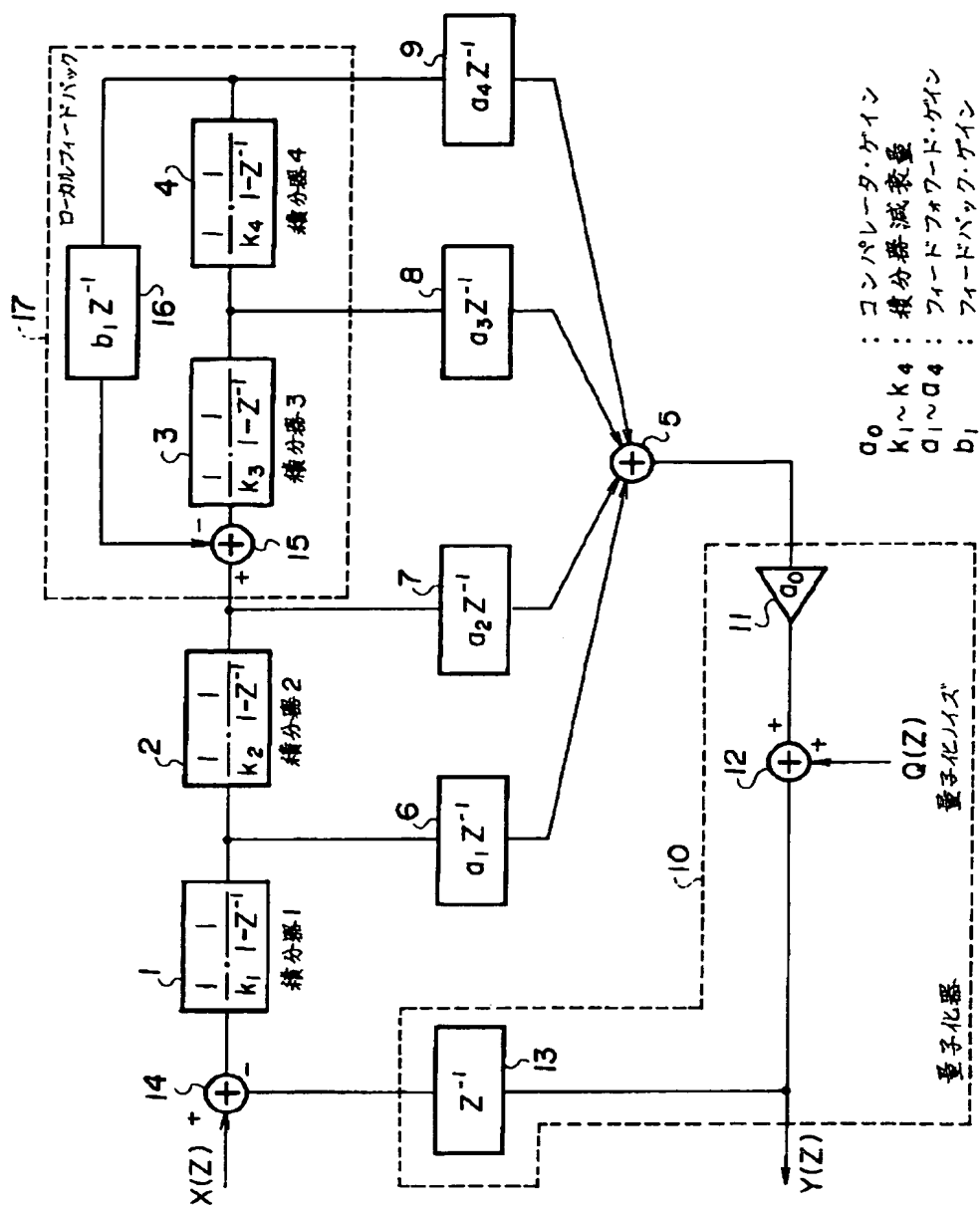
【図7】



【図8】



【図3】



【図5】

